

出題日：H23.12.21

提出日：H24.1.18

[課題]

- (1) PLL(Phase Locked Loop：位相ロックループ)回路の動作原理を示せ。
- (2) PLL 回路を試作し、N 分周器の N の値を任意に 3 つ選び、それぞれの場合について①入力信号 Sig_in②出力信号 VCO_out の波形を示せ。また、結果について考察すること。
(その他、上記の課題以外にやってみたことや、ボード上に試作した回路の写真等、各自で付け加えるものがあれば追加してよい。完全に波形がロックしなくても、ELVIS からの周波数 $x(N+1)$ の周波数が出ていればよいものとする。)

[自由課題]

- (3) 波形がロックする N 分周期の N の値は実際には制限される。この理由について考察せよ。

回路の各パラメータの例を下図に示す。この通りである必要はなく、コンデンサの 102(1n) を 103 や 333 に変えてみたり、R1 と R2 を 10k Ω に変えてみたり、C1 を 104 に変えてみたり、ELVIS からのクロックを下げると良いこともある。

※ 各 IC の電源は省略しているので注意すること。各 IC には電源(5V)が必要である。また、電源と並列にバイパスコンデンサ(0.1 μ F)を必ず入れること。

